

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-204465

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H01L 29/784
H01L 21/318

(21)Application number : 04-349602

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 28.12.1992

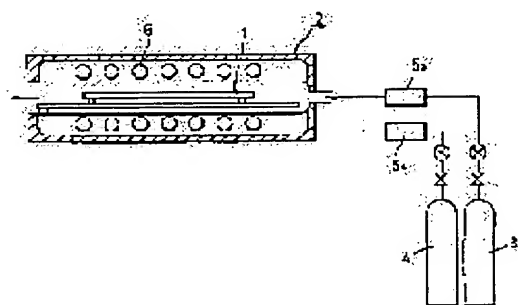
(72)Inventor : ODA MUNETAKA

(54) FORMATION OF GATE OXIDE FILM

(57)Abstract:

PURPOSE: To suppress gate oxide film deterioration due to fluorine inclusion by providing a process of heat treating a silicon substrate in the nitrogen suboxide atmosphere which contains oxygen.

CONSTITUTION: A silicon substrate 1 is provided in a reacting container 2. Then, the reacting container 2 is supplied with oxygen and nitrogen suboxide from an oxygen gas bomb 3 and a nitrogen suboxide gas bomb 4 through flow meters 53 and 54. The silicon substrate 1 is rapidly heated by an infrared lamp 6 and a gate oxide film which contains nitrogen is formed on the surface of the silicon substrate 1. A part of oxygen which constitutes the gate oxide film is replaced by nitrogen atoms by heat treating the silicon substrate in the nitrogen suboxide atmosphere which contains a slight amount of oxygen. Thus, gate oxide film deterioration due to fluorine inclusion is suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

SEMICONDUCTOR DEVICE

Publication number: JP54163679

Publication date: 1979-12-26

Inventor: ITOU TAKASHI; NOZAKI TAKAO

Applicant: FUJITSU LTD

Classification:

- international: **H01L21/314; H01L29/78; H01L21/02; H01L29/66;**
(IPC1-7): H01L21/314; H01L29/78

- european:

Application number: JP19780072654 19780615

Priority number(s): JP19780072654 19780615

Report a data error here

Abstract not available for JP54163679

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-204465

(43) 公開日 平成 6 年 (1994) 7 月 22 日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/318	C	7352-4M	H 0 1 L 29/78	3 0 1 F
		9054-4M		

審査請求 未請求 請求項の数 1 (全 8 頁)

(21) 出願番号 特願平4-349602
 (22) 出願日 平成 4 年 (1992) 12 月 28 日

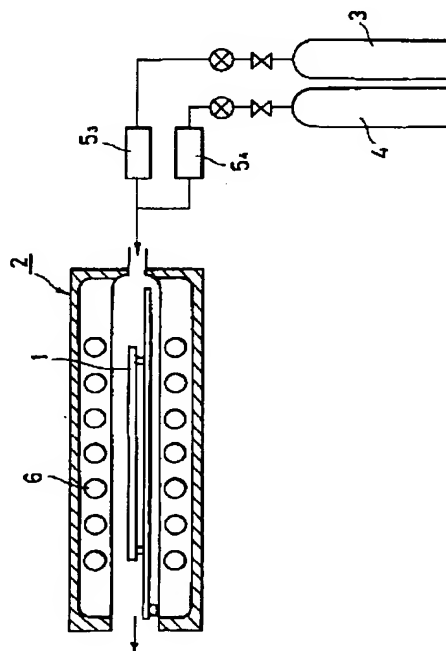
(71) 出願人 000001258
 川崎製鉄株式会社
 兵庫県神戸市中央区北本町通 1 丁目 1 番 28 号
 (72) 発明者 小 田 宗 隆
 千葉県千葉市中央区川崎町 1 番地 川崎製鉄株式会社技術研究本部内
 (74) 代理人 弁理士 渡辺 望 稔 (外 1 名)

(54) 【発明の名称】 ゲート酸化膜の形成方法

(57) 【要約】

【目的】 フッ素の含有によるゲート絶縁膜の劣化を抑制することができるゲート絶縁膜の形成方法の提供。

【構成】 酸素を含む亜酸化窒素雰囲気中でシリコン基板を熱処理する工程を有する、窒素を含むゲート絶縁膜の形成方法。



(2)

特開平6-204465

1

【特許請求の範囲】

【請求項1】 酸素を含む亜酸化窒素雰囲気中でシリコン基板を熱処理する工程を有する、窒素を含むゲート酸化膜の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ゲート酸化膜の形成方法に関し、特に、フッ素の含有によるゲート酸化膜の劣化を抑制することができるゲート酸化膜の形成方法に関する。

【0002】

【従来の技術】 LSI製造の各種プロセスでは各種のフッ素化合物が用いられる。このフッ素化合物を構成するフッ素原子は、熱処理過程でゲート酸化膜中に偏析し、酸化膜中のシリコンと酸素との結合を切断して酸化膜の膜厚を増加させたり、酸化膜が破壊に至るまでの注入電荷量を低減させたり、さらに酸化膜中に電子トラップや正孔トラップを形成させたりすることが IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol136, No. 5, pp87~889 で P. J. WRIGHTにより報告されている。

【0003】 例えば、ゲート電極用ポリサイドゲートを形成する際にWF₆とSiH₄よりLPCVD装置を用いてポリシリコン上にWSi₂を形成した場合、フッ素原子は、その後の800℃、30分の熱処理時に酸化膜中に10²¹個/cm³程度偏析する。

【0004】 また、p⁺ポリシリコンゲートを形成するためにゲート電極用ポリシリコンにBF₃⁺をイオン注入し、900℃程度に熱処理した場合、ポリシリコン中のフッ素原子は、酸化膜中に偏析する。例えば、厚さ8nmのゲート酸化膜を持つMOSFETのポリシリコン中に加速エネルギー20keVでBF₃⁺を5×10¹⁵個/cm²イオン注入した場合、フッ素原子はゲート酸化膜中に約5×10²⁰個/cm³程度偏析する。

【0005】 このように、フッ素がゲート酸化膜に偏析すると、ゲート酸化膜を構成するシリコンと酸素の結合が破壊され、電子や正孔を捕獲するダングリングボンドとSi-Fおよび遊離した酸素原子が生成される。遊離した酸素原子は、熱処理中にシリコン基板と反応し、新たな酸化膜となる。また、フッ素により形成されたダングリングボンドは、トランジスタの動作中に発生するホットキャリアを捕獲し、トランジスタ寿命を著しく劣化させる原因となる。

【0006】

【発明が解決しようとする課題】 しかし、ゲート酸化膜に偏析したフッ素によって生じられる上記の問題を抑制するために有効な方法が、従来はなかった。従来は、WSi₂を形成する際にフッ素の発生量を抑止する方法や酸化膜が不活性雰囲気中の熱処理中に増膜する対策として、最初に酸化膜を薄く形成しておく等の対策をとってきた。

2

【0007】 そこで、本発明の目的は、フッ素の含有によるゲート酸化膜の劣化を抑制することができるゲート酸化膜の形成方法を提供することにある。

【0008】

【課題を解決するための手段】 そこで本発明者は、シリコン基板を種々の雰囲気中で熱処理し、得られた種々の酸化膜についてフッ素原子の含有による劣化を評価した。評価は、まず、形成したゲート酸化膜上に、厚さ150nmのポリシリコン膜を形成し、これにBF₃⁺を5×10¹⁵個/cm²だけイオン注入し900℃で熱処理した試料を作成した。さらに、これを、MOSキャパシタ構造(図5参照)に加工し、ゲート電極に正電荷をかけて、シリコン基板側から電子を一定速度で注入した後のゲート電圧変化、および界面単位密度変化を測定した。

【0009】 まず、特公昭63-318162号公報に開示された方法によって、アンモニアガス雰囲気中、シリコン基板を950℃で30秒間だけ熱処理して酸化膜を形成した。得られた酸化膜の表面付近に窒素が高濃度に存在し、酸化膜表面からシリコン基板の深さ方向に従って急激に減少し、また酸化膜とシリコン基層との界面付近で増加していた。このシリコン基板をさらに窒素させると酸化膜中の窒素濃度は上昇するが、酸化膜の表面付近の窒素濃度も急激に上昇してしまい、酸化膜の表面付近に窒素原子起因の電子トラップが多量に形成されてしまった。したがって、この方法では酸化膜の表面が優先的に窒素されてしまい、酸化膜の厚さ方向に均一に窒素が分布されないことが分かった。また、このようにして形成したゲート酸化膜には、10C/cm²の電子注入後の容量を測定した結果、5×10¹¹個/cm²程度の多量の電子トラップが存在していることが分かった。

【0010】 また、特公平3-160720号公報には、シリコン基板を酸素ガス雰囲気中で熱処理して酸化膜を形成した後、亜酸化窒素ガス中で熱処理することにより、上記酸化膜中に窒素原子を導入する方法が開示されている。この方法を用いると、酸化膜とシリコン基板の界面近傍に、窒素原子を導入することができるが、酸化膜に窒素を均一に導入することができなかった。また、酸化膜中の窒素濃度が低い場合、フッ素原子による酸化膜の劣化を抑制できなかった。さらに、10C/cm²の電子注入後の容量測定を行なった結果、10¹²個/cm²程度の多量の電子トラップが存在していた。

【0011】 さらに、亜酸化窒素ガスを用いシリコン基板を直接窒素する方法がある。この方法を用いると、窒素原子を酸化膜中に均一に存在させることができるが、酸化膜とシリコン基板の界面の凹凸が大きくなり、MOSFETを製造するには不適である。

【0012】 また、特公平1-187828号公報には、アンモニアガスと酸素ガスを用いて、シリコン基板を熱処理し、酸化膜を形成する方法が開示されている。

(3)

特開平6-204465

3

この方法を用いると、窒素は酸化膜の深さ方向にほぼ均一に導入されるが、アンモニアを構成する水素が酸化膜中にSi-HまたはSi-OHの形で残り、ゲート酸化膜上のポリシリコンに BF_3^+ をイオン注入し熱処理した時、フッ素原子が酸化膜中のSi-HまたはSi-OHと反応し、電子やホールトラップとなる。 $10\text{C}/\text{cm}^2$ の電子注入後の容量測定の結果、電子トラップが 10^{12} 個 $/\text{cm}^2$ 程度生成していることがわかった。これは、MOSFETの特性を著しく劣化させる量である。この膜の場合、窒素は添加されているがその効果が見られなかった。

【0013】最後に、本発明者は、亜酸化窒素に微量の酸素を含有させたガス雰囲気中でシリコン基板を熱処理した。この方法を用いることによって、窒素は酸化膜の厚さ方向に均一に含有されていることを新たに発見した。さらに、水素は酸化膜中に20ppm以下しか含有されることが分かった。このゲート酸化膜の特性を評価した。 $10\text{C}/\text{cm}^2$ の電子注入後の容量測定の結果、酸化膜中には 2×10^{10} 程度の電子トラップしか発生していないことが分かった。また、界面準位密度も、 $10^{10}/\text{eV} \cdot \text{cm}^2$ 程度しか増加していなかった。

【0014】そこで本発明者は、フッ素によるゲート酸化膜の劣化を抑制するためには、ゲート酸化膜の膜厚方向に窒素原子を均一分散させ、かつ水素を低減することが有効であることを見いだした。そこで、微量の酸素を含有する亜酸化窒素雰囲気中でシリコン基板を熱処理することにより、ゲート酸化膜を構成する酸素の一部を窒素原子に置き換えることによって、フッ素の含有によるゲート酸化膜の劣化を抑制できることを見出した。

【0015】すなわち、本発明は、酸素を含む亜酸化窒素雰囲気中でシリコン基板を熱処理する工程を有する、窒素を含むゲート酸化膜の形成方法を提供するものである。

【0016】本発明の方法において、熱処理の雰囲気中の亜酸化窒素の含有量は、ゲート酸化膜中の窒素原子の濃度が、フッ素の含有によるゲート酸化膜の膜質劣化を抑制し、窒化ケイ素に起因する新たな電子、正孔トラップの形成を抑制できるように、通常、3~10原子%程度、好ましくは4~6原子%程度になるように調整される。

【0017】また、本発明の方法において、熱処理雰囲気中における亜酸化窒素/酸素の含有割合は、通常、10~100の割合、好ましくは20~50の割合に調整される。

【0018】また、熱処理雰囲気中には、上記亜酸化窒素および酸素以外に、窒素、アルゴン等が含まれていてもよい。

【0019】さらに、本発明の方法において、熱処理の温度は、900~1200℃程度、好ましくは1050~1150℃程度である。また、熱処理時の雰囲気圧力

4

は、通常、大気圧程度に調整される。

【0020】亜酸化窒素に酸素を含有させた場合、実用温度範囲で酸化する場合、酸化が優先して起こり、窒化は抑制されるため、酸化膜中に窒素が10%以上含有されない。

【0021】

【作用】本発明の方法によれば、酸素および亜酸化窒素を含む雰囲気中でシリコン基板を熱処理することにより、酸化膜の膜厚方向に窒素原子を一様に含んだゲート酸化膜を形成でき、この膜を用いるとフッ素原子による酸化膜の膜質特性の劣化が抑制され、MOSFETのゲート酸化膜として優れた特性を示す。

【0022】

【実施例】以下、本発明の実施例および比較例を示し、本発明を具体的に説明する。

【0023】(実施例および比較例) 図1に示す装置によって、ゲート酸化膜の形成を行った。

【0024】図1に示す装置において、まず、シリコン基板1を反応容器2内に設置する。次に反応容器2内には、酸素ガスボンベ3および亜酸化窒素ガスボンベ4から、それぞれ流量計5、および5、を通して酸素および亜酸化窒素を、それぞれ2~10($\text{l}/\text{min.}$)、0.1~1($\text{l}/\text{min.}$)の流量で供給した。赤外線ランプ6によりシリコン基板1を1050~1100℃まで急速加熱し、この温度を32~73秒間だけ保持し、膜厚9nmの窒素を含むゲート酸化膜をシリコン基板1の表面に形成した。その後、室温まで急速に冷却させた。このときのゲート酸化膜の形成条件、ならびに形成されたゲート酸化膜の膜厚を、表1に示す。

【0025】また、得られたゲート酸化膜における深さ方向の窒素原子の濃度および水素原子の濃度を、SIMS分析で測定した。結果を図2~4に示す。

【0026】図2は、表1の条件1で形成されたゲート酸化膜の深さ方向のSIMS分析結果である。図中、SIMSのスputtering時間は、ゲート酸化膜の深さと比例する。図3および図4においても同様である。このゲート酸化膜においては、窒素原子は深さ方向に均一に分布しており、その窒素原子の濃度の値も4~5原子%であった。また、水素原子の濃度は、20ppm以下と十分低くなっていた。

【0027】これに対して、図3は、表1中の条件3で形成されたゲート酸化膜試料のSIMS分析結果を示す。この試料では、ゲート酸化膜を9nmだけ形成し、これを950℃で30秒間だけアンモニアガス雰囲気中にて急速加熱装置で熱処理した。その結果、この試料では、ゲート酸化膜の表面だけが窒化され、ゲート酸化膜の深さ方向にしたがって窒素原子の濃度が低減していることがわかる。

【0028】図4は、表1の条件5で形成されたゲート酸化膜試料のSIMS分析結果を示す。この試料では、

(4)

特開平6-204465

5

窒素原子の濃度は、ゲート酸化膜の深さ方向でほぼ均一な濃度を示しているが、水素原子の濃度が酸化膜の表面付近で0.1%程度と非常に高い濃度を示した。

【0029】次に、表1の各条件で形成したゲート酸化膜の上に、ゲート電極用ポリシリコンを厚さ150nmだけ形成し、これに BF_3^+ を 5×10^{15} 個/ cm^2 だけエネルギー40keVで注入した。その後、900℃で30分間、炉を用い熱処理した。次に、図5に示すとおり、ゲート酸化膜10の上に形成されたポリシリコンからなるゲート電極11、フィールド酸化膜12、ゲート電極11に接続するAl電極13、ならびに絶縁膜14、および保護膜15を形成して、MOSキャパシタを作成した。このMOSキャパシタに、図5に示すように、ゲートに正の電圧 V_g を加え、ゲート酸化膜10中を $2.5 \times 10^{-3} \text{ A/cm}^2$ の電流が流れるようにし

6

た。このとき、シリコン基板16からゲート酸化膜10に 10 C/cm^2 だけ電子を注入し、1MHzの高周波容量測定および準静的な容量測定をした。

【0030】また、 $2.5 \times 10^{-3} \text{ A/cm}^2$ の一定電流を流すためのゲート電圧の変化量を測定した。電子の注入開始時のゲート電圧と、電子を 10 C/cm^2 注入後のゲート電圧の変化分を ΔV_g とした。また、電子の注入前の界面単位密度と 10 C/cm^2 注入後の界面単位密度の差を ΔD_{it} とした。結果を表2に示す。なお、ここで示す酸化膜厚は、シリコン基板が蓄積状態になるゲート電圧をかけ1MHzの高周波容量測定法によって決定した。

【0031】

【表1】

(5)

特開平6-204465

7

8

表 1

条件	酸化膜の形成条件			窒化条件			備考
	ガス条件	温度	酸化時間	ガス条件	温度	窒化条件	
1	N ₂ O ₂ : 5 l/min O ₂ : 0. 1 l/min	1100℃	5 1 s	—	—	—	本発明法
2	N ₂ O ₂ : 5 l/min O ₂ : 0. 2 l/min	1050℃	6 3 s	—	—	—	本発明法
3	O ₂ : 5 l/min	1100℃	3 0 s	NH ₃ : 2 l/min	950℃	3 0 s	比較法
4	O ₂ : 5 l/min	1100℃	2 2 s	N ₂ O ₂ : 2 l/min	1100℃	6 0 s	比較法
5	O ₂ : 0. 1 l/min NH ₃ : 2 l/min	1100℃	7 3 s	—	—	—	比較法
6	O ₂ : 5 l/min	1100℃	3 0 s	—	—	—	従来法

酸化膜形成直後の膜厚

【0032】

【表2】

9

(6)

特開平6-204465

10

表 2

条件	10 C/cm ² 注入前後のゲート 電圧変化 (ΔV _g)、mV	10 C/cm ² 注入前後の界面単位密度変化 (ΔDit)、%V・cm ²	ゲート形成後の膜厚の増加 nm
1	25	2.0×10 ¹⁰	0.1
2	31	1.5×10 ¹⁰	0.1
3	190	2.5×10 ¹¹	1.0
4	210	3.0×10 ¹¹	1.1
5	180	5.0×10 ¹¹	1.1
6	300	1.0×10 ¹²	1.5

【0033】表1に示す条件1および条件2は、亜酸化窒素に酸素を混合した雰囲気中でシリコン基板を熱処理して、ゲート酸化膜を形成する本発明例である。この本発明例においては、ゲート酸化膜に電子を10 C/cm²注入前後のΔV_gは、25 mVと31 mVでしかなかった。しかし、比較例においては、ΔV_gが、190 mV、210 mVおよび180 mVと大きな変化を示した。また、従来の方法である条件6によって形成されたゲート酸化膜については、ΔV_gは300 mVであった。また、界面単位密度の変化ΔDitにおいても、本発明例では、比較例に比べて1/10程度の変化に抑えられた。

【0034】また、フッ素によるゲート酸化膜の増加

は、条件1、条件2の試料においては、0.1 nmであるのに対して、比較例では1.0～1.1 nmの増加があった。また従来の方法である条件5によって作成されたゲート酸化膜では、1.5 nmもの増膜が観察された。したがって、本発明の方法を用いれば、フッ素によるゲート酸化膜の増加を抑制できることがわかる。

【0035】以上の結果から、本発明の方法によれば、従来方法に比べ、Wポリサイドゲート形成工程やBF₃のイオン注入工程において、ゲート酸化膜に偏析するフッ素原子による悪影響を抑えることができることが判る。

【0036】

【発明の効果】本発明の方法によれば、窒素原子が膜厚

(7)

特開平6-204465

11

12

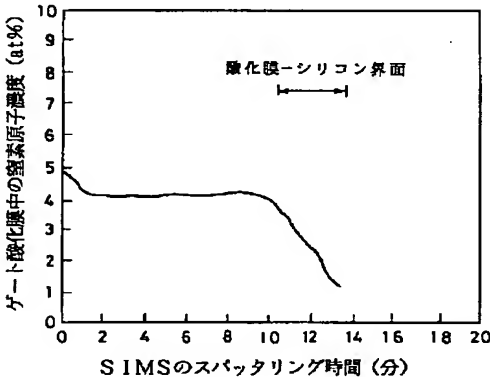
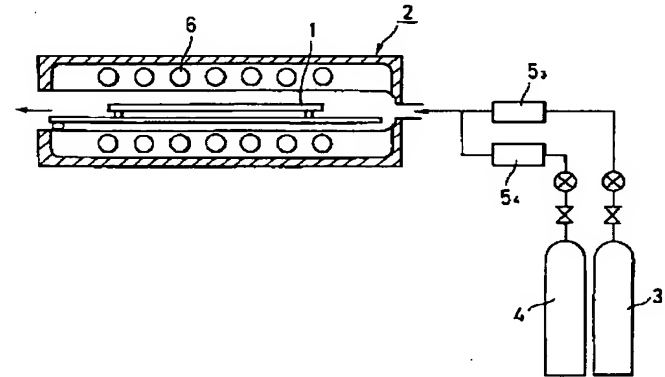
方向に均一に分布するゲート酸化膜を形成することができる。そのため、本発明の方法によってゲート酸化膜を形成すれば、各種のプロセスで生ずるフッ素の偏析による酸化膜の劣化を抑制することができる。例えば、ゲート電極用ポリシリコンに BF_3^+ をイオン注入した後、活性化熱処理時に発生するゲート酸化膜の劣化や、 WF_6 ガスと SH_4 ガスを用いて WSi_2 をゲート電極用ポリシリコン上に形成し、熱処理した場合に生じするゲート酸化膜の劣化を抑制することができる。

- 【図面の簡単な説明】
- 【図1】 酸化膜の形成装置の構成を説明する概略図。
【図2】 実施例におけるSIMS分析結果を示す図。
【図3】 比較例におけるSIMS分析結果を示す図。
【図4】 比較例におけるSIMS分析結果を示す図。
【図5】 測定に用いたMOSキャパシターの模式図で

- ある。
- 【符号の説明】
- 1 シリコン基板
2 反応容器
3 酸素ガスボンベ
4 亜酸化窒素ガスボンベ
5₃, 5₄ 流量計
6 赤外ランプ
10 ゲート酸化膜
11 ゲート電極
12 フィールド酸化膜
13 Al電極
14 絶縁膜
15 保護膜
16 シリコン基板

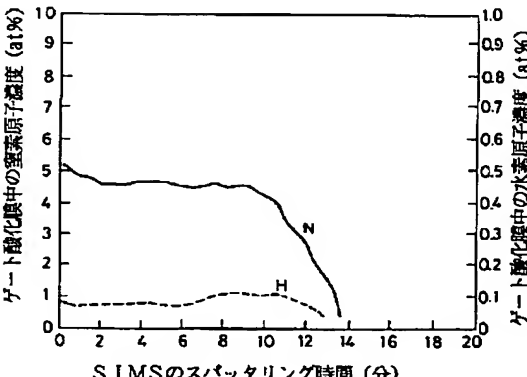
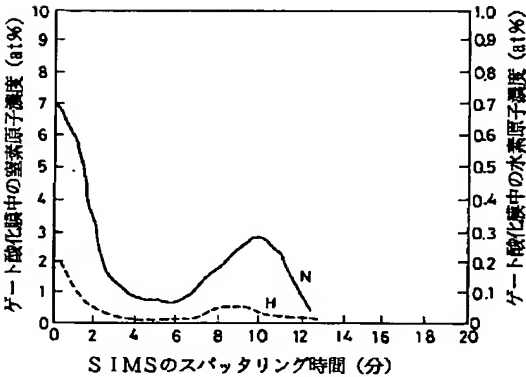
【図1】

【図2】



【図3】

【図4】



(8)

特開平6-204465

【図5】

